

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-337600
 (43)Date of publication of application : 10.12.1999

(51)Int.Cl. G01R 29/02
 H04B 17/00
 // G01R 29/08

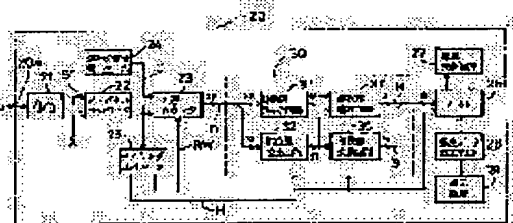
(21)Application number : 10-164260 (71)Applicant : ANRITSU CORP
 KANKYO DENJI GIJUTSU KENKYUSHO:KK
 (22)Date of filing : 28.05.1998 (72)Inventor : UCHINO SEIJI
 SHINOZUKA TAKASHI
 KURODA MASAHIRO

(54) MEASURING DEVICE FOR TIME WIDTH DISTRIBUTION

(57)Abstract:

PROBLEM TO BE SOLVED: To make a highly accurate measurement of time width distribution from a short time width to a wide time width with a little memory capacity.

SOLUTION: In this measuring device, an analog signal of an object to be measured is converted into a digital signal S' by an A/D converter 21, and time when the digital signal S' is a threshold value X or more is measured by counting a clock signal by a binary counter 23, the counted result of 32 bit of the binary counter 23 is converted into a floating point system data comprising a mantissa portion of 3 bit and an exponent portion of 5 bit by a floating point circuit 30; and an address of a memory 26 is designed by the floating point system data and a frequency data read out is renewed by one by a frequency renewal circuit 27.



LEGAL STATUS

[Date of request for examination] 24.09.1998
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 2920828
 [Date of registration] 30.04.1999
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-337600

(43)公開日 平成11年(1999)12月10日

(51)Int.Cl.⁶
G 0 1 R 29/02

識別記号

F I
G 0 1 R 29/02

Z

E

H 0 4 B 17/00

H 0 4 B 17/00

R

// G 0 1 R 29/08

G 0 1 R 29/08

Z

審査請求 有 請求項の数 3 F D (全 11 頁)

(21)出願番号 特願平10-164260

(22)出願日 平成10年(1998)5月28日

(71)出願人 000000572

アンリツ株式会社

東京都港区南麻布5丁目10番27号

(71)出願人 596183206

株式会社環境電磁技術研究所

宮城県仙台市青葉区南吉成6丁目6番地の3

(72)発明者 内野 政治

宮城県仙台市青葉区南吉成6丁目6番地の3 株式会社環境電磁技術研究所内

(74)代理人 弁理士 早川 誠志

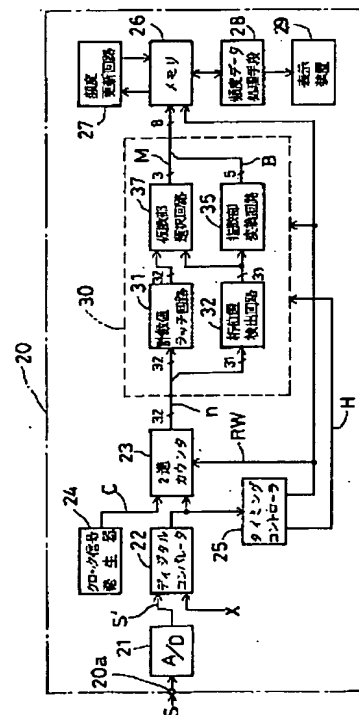
最終頁に続く

(54)【発明の名称】 時間幅分布測定装置

(57)【要約】

【課題】 少ないメモリ容量で、短い時間幅から広い時間幅までの測定を高精度に行なう。

【解決手段】 測定対象のアナログ信号SをA/D変換器21によってデジタル信号に変換し、このデジタル信号S'がしきい値X以上の時間を2進カウンタ23でクロック信号を計数することによって計測し、2進カウンタ23の32ビットの計数結果を浮動小数点化回路30によって3ビットの仮数部と5ビットの指数部とからなる浮動小数点形式のデータに変換し、この浮動小数点形式のデータによってメモリ26のアドレスを指定して読み出した頻度データを頻度更新回路27によって1だけ更新する。



【特許請求の範囲】

【請求項1】測定対象のアナログ信号と所定のしきい値とを比較するコンパレータと、

前記コンパレータの比較出力を受け、該比較出力が一方のレベルにある間、所定周期のクロック信号の計数を行ない、該計数結果を前記しきい値に対する前記アナログ信号の時間幅データとして所定ビット数Lで出力する2進カウンタと、

所定の測定期間中に前記2進カウンタから出力されたLビットの計数結果を、該Lビットより少ない有効桁数の浮動小数点形式に変換し、そのIビットの指数部とJビットの仮数部とを合わせた(I+J)ビットの信号を順次出力する浮動小数点化回路と、

前記浮動小数点化回路から出力される(I+J)ビットの信号をアドレス信号として受け、該アドレス信号で指定されたアドレスに記憶されているデータを読み出すメモリと、

前記メモリから読み出されたデータを、該データのアドレスが指定された頻度を表すデータに更新する更新回路とを備えた時間幅分布測定装置。

【請求項2】前記浮動小数点化回路は、

前記2進カウンタのLビットの計数出力のうち、計数中に歩進した最上位の桁位置を検出する桁位置検出回路と、

前記桁位置検出回路によって検出された桁位置に基づいて、前記Iビットの指数部を出力する指数部変換回路と、

前記桁位置検出回路によって検出された桁位置に基づいて、前記Lビットの計数結果のうち、前記計数中に歩進した最上位の桁に続く下位Jビットのデータを前記仮数部として選択出力する仮数部選択回路とを備えていることを特徴とする請求項1記載の時間幅分布測定装置。

【請求項3】前記桁位置検出回路は、

前記2進カウンタのLビットの計数出力のうち最下位ビットを除く(L-1)ビットの計数出力を各ビット毎に(L-1)個のフリップフロップで受け、計数中に歩進した桁に対して1のビットデータをラッチし、前記2進カウンタの計数が終了したときの前記(L-1)個のフリップフロップのラッチデータを、前記計数中に歩進した最上位の桁位置に対応する(L-1)ビットの信号として出力するように構成され、

前記指数部変換回路は、

前記桁位置検出回路から出力された(L-1)ビットの信号を選択信号として受けるI個のL:1の2分木マルチプレクサによって前記Iビットの指数部を出力するように構成され、

前記仮数部選択回路は、

前記桁位置検出回路から出力された(L-1)ビットの信号を選択信号として受けるJ個のL:1の2分木マルチプレクサによって前記2進カウンタの計数結果から前

記Jビットのデータを仮数部として選択出力するように構成されていることを特徴とする請求項2記載の時間幅分布測定装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電磁環境を統計的に評価するための一つの尺度として、パルス幅分布やパルス間隔分布を測定するための装置において、その構成を簡素化するための技術に関する。

【0002】

【従来の技術】電磁妨害波による通信や放送への影響を評価する場合、妨害波の統計パラメータとして振幅領域での基本特性である振幅確率分布(APD)、時間領域での基本特性である交差率分布(CRD)の他に、パルス幅分布(PDD)やパルス間隔分布(PSD)の特性が重要な要素となる。

【0003】パルス幅分布は、測定対象のアナログ信号(例えば妨害波等の包短線信号)が所定の測定時間内に所定のしきい値を越えている時間の確率分布で定義さ

れ、パルス間隔分布は、パルス幅分布とは逆に、測定対象のアナログ信号が所定の測定時間内に所定のしきい値より低い時間の確率分布で定義される。

【0004】これらはともに、信号がしきい値に交差してから次に交差するまでの時間幅の確率分布であるので、以下の説明では、これらを時間幅分布と総称する。

【0005】このような時間幅分布を測定するために、従来では図10に示す時間幅分布測定装置10が用いられていた。

【0006】この時間幅分布測定装置10は、入力端子10aから入力されるアナログ信号SをA/D変換器11によってデジタル信号S'に変換してデジタルコンパレータ12に入力する。

【0007】デジタルコンパレータ12は、入力信号S'と所定のしきい値Xとを比較し、入力信号S'がしきい値X以上のときにはハイレベル(以下、Hレベルと記す)の信号を2進カウンタ13に出力し、入力信号S'がしきい値Xより小さいときにローレベル(以下、Lレベルと記す)の信号を2進カウンタ13へ出力する。

【0008】2進カウンタ13は、デジタルコンパレータ12からHレベルの信号を受けている間、クロック信号発生器14から出力されたクロック信号Cを計数し、タイミングコントローラ15からのリセット信号Rを受けると計数値をゼロにリセットする。クロック信号Cの周期は、例えば1ミリ秒等の単位時間に設定されている。

【0009】タイミングコントローラ15は、デジタルコンパレータ12の出力がHレベルからLレベルに変化した直後にメモリ16に対して書込許可信号Wを出力し、その直後に2進カウンタ13にリセット信号Rを出

力する。

【0010】したがって、2進カウンタ13がリセットされる直前の計数結果は、測定対象のアナログ信号Sが所定のしきい値X以上の時間を示している。

【0011】メモリ16は、2進カウンタ13の計数出力をアドレス信号として受け、このアドレス信号で指定されたアドレスのデータを頻度データとして頻度更新回路17に出力し、タイミングコントローラ15から書込許可信号Wを受けると頻度更新回路17からの頻度データで元の頻度データを更新する。

【0012】頻度更新回路17は、メモリ16からの頻度データに1を加算して、この加算更新した頻度データをメモリ16に出力する。

【0013】次に、この時間幅分布測定装置10の動作について説明する。2進カウンタ13およびメモリ16の内容がゼロにリセットされてから、図11の(a)に示すアナログ信号Sが測定時間Tの間に入力され、デジタル信号S'に変換されて、デジタルコンパレータ12に入力される。

【0014】デジタルコンパレータ12の出力は、図11の(b)に示すように、デジタル信号S'がしきい値Xに正方向に交差した時刻 t_1 、からしきい値Xに負方向に交差する時刻 t_2 までの間Hレベルとなり、このHレベル期間の時間幅 T_1 が2進カウンタ13によって測定される。

【0015】そして、時刻 t_2 にデジタルコンパレータ12の出力がLレベルに変化したときに、図11の(c)に示すように、メモリ16に対して書込許可信号Wが出力される。

【0016】このため、時間幅データ T_1 で指定されたアドレスの頻度データD(T_1)の値(この場合、初期値ゼロ)が図11の(e)のように、1だけ増加更新される。

【0017】また、書込許可信号Wの直後には、図11の(d)のように、2進カウンタ13に対してリセット信号Rが出力され、次のHレベルの時間幅 T_2 の計数に備える。

【0018】以下同様にして、各Hレベル期間の時間幅 T_1 、 T_2 、…、 T_n の測定と、その時間幅に対応する頻度データの更新が測定時間Tの間継続的に行なわれる。

【0019】このため、測定時間Tが終了したのち、メモリ16には、各時間幅毎の頻度が記憶されることになり、この頻度データを図示しない処理装置によってメモリ16から読み出して表示装置に表示すれば、測定対象のアナログ信号Sの時間幅分布特性(この場合、パルス幅分布特性)を評価することができる。

【0020】なお、デジタル信号S'がしきい値Xより小さいLレベル期間の時間幅 T_1' ～ T_{n-1}' に対して、上記測定と頻度のデータの更新を行なうことで、パ

ルス間隔分布を測定することもできる。

【0021】

【発明が解決しようとする課題】しかしながら、前記した従来の時間幅分布測定装置では、少ないメモリ容量で測定する時間幅の範囲を拡げようとするとき大きな問題が生じる。

【0022】即ち、メモリ16のアドレス最大値を $2^L - 1$ 、測定分解能(クロック信号Cの周期)を $\Delta\tau$ とすれば、測定可能な時間幅は、 $\Delta\tau \sim \Delta\tau \cdot (2^L - 1)$ の範囲であり、メモリの容量を増やさずに時間幅の範囲を拡げるためには、測定可能な最小時間幅 $\Delta\tau$ を大きくしなければならない。

【0023】しかし、測定可能な最小時間幅 $\Delta\tau$ を大きくすると、瞬時に発生する短い幅のパルスやパルス間隔を測定することができなくなってしまう。

【0024】本発明は、この問題を解決し、少ないメモリ容量で、短い時間幅から広い時間幅までの測定を高精度に行なうことができる時間幅分布測定装置を提供することを目的としている。

【0025】

【課題を解決するための手段】前記目的を達成するために、本発明の請求項1の時間幅分布測定装置は、測定対象のアナログ信号と所定のしきい値とを比較するコンパレータと、前記コンパレータの比較出力を受け、該比較出力が一方のレベルにある間、所定周期のクロック信号の計数を行ない、該計数結果を前記しきい値に対する前記アナログ信号の時間幅データとして所定ビット数Lで出力する2進カウンタと、所定の測定期間中に前記2進カウンタから出力されたLビットの計数結果を、該Lビットより少ない有効桁数の浮動小数点形式に変換し、その1ビットの指数部とJビットの仮数部とを合わせた

(I+J)ビットの信号を順次出力する浮動小数点化回路と、前記浮動小数点化回路から出力される(I+J)ビットの信号をアドレス信号として受け、該アドレス信号で指定されたアドレスに記憶されているデータを読み出すメモリと、前記メモリから読み出されたデータを、該データのアドレスが指定された頻度を表すデータに更新する更新回路とを備えている。

【0026】また、本発明の請求項2の時間幅分布測定装置は、請求項1の時間幅分布測定装置において、前記浮動小数点化回路は、前記2進カウンタのLビットの計数出力のうち、計数中に歩進した最上位の桁位置を検出する桁位置検出回路と、前記桁位置検出回路によって検出された桁位置に基づいて、前記Iビットの指数部を出力する指数部変換回路と、前記桁位置検出回路によって検出された桁位置に基づいて、前記Lビットの計数結果のうち、前記計数中に歩進した最上位の桁に続く下位Jビットのデータを前記仮数部として選択出力する仮数部選択回路とを備えている。

【0027】また、本発明の請求項3の時間幅分布測定

装置は、請求項2の時間幅分布測定装置において、前記桁位置検出回路は、前記2進カウンタのLビットの計数出力のうち最下位ビットを除く(L-1)ビットの計数出力を各ビット毎に(L-1)個のフリップフロップで受け、計数中に歩進した桁に対して1のビットデータをラッチし、前記2進カウンタの計数が終了したときの前記(L-1)個のフリップフロップのラッチデータを、前記計数中に歩進した最上位の桁位置に対応する(L-1)ビットの信号として出力するように構成され、前記指数部変換回路は、前記桁位置検出回路から出力された(L-1)ビットの信号を選択信号として受けるI個のL:1の2分木マルチプレクサによって前記Iビットの指数部を出力するように構成され、前記仮数部選択回路は、前記桁位置検出回路から出力された(L-1)ビットの信号を選択信号として受けるJ個のL:1の2分木マルチプレクサによって前記2進カウンタの計数結果から前記Jビットのデータを仮数部として選択出力するように構成されている。

【0028】

【発明の実施の形態】以下、図面に基づいて本発明の一実施形態を説明する。図1は、本発明の一実施形態の時間幅分布測定装置20の構成を示している。

【0029】この時間幅分布測定装置20の時間幅を測定する部分は前記した従来の時間幅分布測定装置10と同様に構成されている。

【0030】即ち、入力端子20aから入力されるアナログ信号SをA/D変換器21によってデジタル信号S'に変換してデジタルコンパレータ22に入力する。

【0031】デジタルコンパレータ22は、デジタル信号S'と所定のしきい値Xとを比較し、デジタル信号S'がしきい値X以上のときにはHレベルの信号を2進カウンタ23に出力し、デジタル信号S'がしきい値Xより小さいときにLレベルの信号を2進カウンタ23へ出力する。

【0032】なお、ここでは、アナログ信号Sをデジタル信号に変換してしきい値Xと比較しているが、アナログ信号Sをアナログコンパレータによってしきい値電圧Xと比較するように構成してもよい。

【0033】2進カウンタ23は、例えば32ビット(L=32)の計数出力を有しており、デジタルコンパレータ22からHレベルの信号を受けている間、クロック信号発生器24から出力されたクロック信号Cを計数し、タイミングコントローラ25からのリセット書込信号RWを受けると計数値をゼロにリセットする。クロック信号Cの周期は、例えば1ミリ秒、1マイクロ秒等の単位時間に設定されている。

【0034】タイミングコントローラ25は、デジタルコンパレータ22の出力がHレベルからLレベルに変化した直後に後述する浮動小数点化回路30にホールド

信号Hを出力し、さらにその直後にリセット書込信号RWを2進カウンタ23、メモリ26および浮動小数点化回路30に出力する。なお、このタイミングコントローラ25の動作は、前記した図10のタイミング図においてリセット信号Rの代わりにホールド信号H、書込許可信号Wの代わりにリセット書込信号RWが出力されるものとする。

【0035】したがって、2進カウンタ23がリセットされる直前の計数結果は、測定対象のアナログ信号Sが所定のしきい値X以上の時間幅を示している。

【0036】2進カウンタ23の計数出力は浮動小数点化回路30に出力される。浮動小数点化回路30は、2進カウンタ23の32ビットの固定小数点形式の計数出力nを、5ビット(I=5)の指数部、3ビット(J=3)の仮数部の浮動小数点形式に変換し、指数部と仮数部とを合わせた8ビットの信号をメモリ26に出力する。なお、この浮動小数点化回路30の詳細については後述する。

【0037】メモリ26は、浮動小数点化回路30から出力される8ビットの信号をアドレス信号として受け、このアドレス信号で指定されたアドレスの頻度データを頻度更新回路27に出力し、タイミングコントローラ25からのリセット書込信号RWを受けると、頻度更新回路27から出力された頻度データを元の頻度データのアドレスに記憶する。

【0038】頻度更新回路27は、メモリ26から読み出された頻度データに1を加算してメモリ26に出力し、メモリ26の頻度データが、アドレスの指定頻度を示すように更新する。

【0039】所定の測定時間中にメモリ26に記憶された頻度データは、頻度データ処理手段28によって読み出されて、例えば、横軸を時間幅(パルス幅)、縦軸を頻度の表示装置29の座標画面上に表示される。この表示から測定対象のアナログ信号Sのパルス幅分布を把握することができる。

【0040】上記構成の時間幅分布測定装置20では、浮動小数点化回路30によって、1オクターブ当り8ポイント(3ビット)の細かさで32オクターブ(5ビット)変化するアドレス信号で、メモリ26のアドレスを指定するようにしているので、8ビットという少ない容量のメモリ26で、 $1 \cdot \Delta\tau \sim (2^{32} - 1) \cdot \Delta\tau$ の範囲の時間幅(パルス幅)の測定が可能となり、例えば、 $\Delta\tau$ を20ナノ秒とすれば、最大85秒の時間幅(パルス幅)の測定ができる。

【0041】なお、デジタルコンパレータ22を、デジタル信号S'がしきい値X以上のときにLレベルの信号を2進カウンタ23に出力し、デジタル信号S'がしきい値Xより小さいときにHレベルの信号を2進カウンタ23へ出力するように構成しておけば、測定対象のアナログ信号のパルス間隔分布を測定することができ

る。

【0042】次に、浮動小数点化回路30の詳細について説明する。2進数は浮動小数点形式で $A \times 2^B$ と表現される。ここで、Aは仮数部、Bは指数部である。

【0043】そして、例えば固定小数点形式の32ビットの2進数nを浮動小数点形式で表現するには、指数部Bとして5ビット($32 = 2^5$)が必要であり、指数部*

$$n = (Q_0 \cdot 2^0) + (Q_1 \cdot 2^1) + \dots + (Q_{L-1} \cdot 2^{L-1}) \\ = \sum_i (Q_i \cdot 2^i)$$

で表される。但し、 \sum_i は $i = 0 \sim L-1$ までの総和を表し、 Q_i は0または1の係数とする。

【0046】ここで、指数部Bは、 $0 \sim L-1$ の範囲の整数のうち、

$$2^B \leq n < 2^{B+1}$$

を満足する値であり、この数Bは、ビットデータが1である最上位の桁値より1少ない数である。

【0047】例えばLが32の場合に、2進数nが[0001***...]のように、最上位の1が28ビット目にある場合、 n は $2^{27} \leq n < 2^{28}$ の範囲にあ

$$m = 2^B + Q_{B-1} \cdot 2^{B-1} + Q_{B-2} \cdot 2^{B-2} + Q_{B-3} \cdot 2^{B-3} \\ = 2^B [1 + Q_{B-1} \cdot 2^{-1} + Q_{B-2} \cdot 2^{-2} + Q_{B-3} \cdot 2^{-3}] \\ = 2^B [1 + (Q_{B-1} \cdot 2^2 + Q_{B-2} \cdot 2^1 + Q_{B-3} \cdot 2^0) / 2^3]$$

となる。

【0050】ここで、

$$M = Q_{B-1} \cdot 2^2 + Q_{B-2} \cdot 2^1 + Q_{B-3} \cdot 2^0$$

とすると、上記値mは、

$$m = [1 + (M/8)] \times 2^B$$

と表される。

【0051】上式を浮動小数点形式の一般式 $A \times 2^B$ と対比すると、仮数部Aは、

$$A = 1 + (M/8)$$

となるが、ここでは、値Mが $0 \sim 7$ の範囲をとり、この値Mに対して仮数部Aは一意的に決まることに着目し、この値Mを3ビットの仮数部としている。

【0052】つまり、この浮動小数点化回路30では、32ビットの固定小数点形式の計数結果nのうち、ビットデータが1である最上位の桁値より1少ない値を5ビットの指数部Bとして出力し、それより下位の3ビットを仮数部Mとして計数結果nから選択出力する。

【0053】これを実現するために、浮動小数点化回路30は、図1に示しているように、計数値ラッチ回路31と、32ビットの計数結果nのうち、計数中に歩進した最上位の桁位置、即ち、ビットデータが1である最上位の桁位置を検出するための桁位置検出回路32と、桁位置検出回路32で検出された桁位置に基づいて5ビットの指数部を出力する指数部変換回路35と、桁位置検出回路32で検出された桁位置に基づいて計数出力nから3ビットの仮数部を選択出力する仮数部選択回路37とを有している。

【0054】計数値ラッチ回路31は、2進カウンタ2

*と仮数部とを合わせて8ビットで表現するには、仮数部Aは3ビットとなる。

【0044】次に、固定小数点形式のLビットの2進数nを浮動小数点形式に変換する方法について説明する。

【0045】Lビットの2進数n [$Q_{L-1}, Q_{L-2}, \dots, Q_2, Q_1, Q_0$]の値は、

10※り、Bは27である(*は0または1の任意の値)。

【0048】この数Bを用いて2進数nの値を表すと、 $n = 2^B + \sum_i (Q_i \cdot 2^i) = 2^B [1 + \sum_i (Q_{B-i} \cdot 2^{-i})]$

となる。ただし、 \sum_i は $i = 0 \sim B-1$ までの総和を表し、 \sum_i は $i = 1 \sim \infty$ までの総和を表す。

【0049】また、2進数nを浮動小数点形式で表すときの有効桁を4ビット、即ち、最上位の1に続く $Q_{B-1}, Q_{B-2}, Q_{B-3}$ の3ビットまでとし、それより下位を無視したときの2進数の値mは、

3の計数出力nをタイミングコントローラ25からのホールド信号Hを受ける毎にラッチして出力する。

【0055】桁位置検出回路32は、例えば図2に示すように、31個のD型のフリップフロップ33₁～33₃₁と、これらのフリップフロップ33₁～33₃₁の出力をタイミングコントローラ25からのホールド信号Hを受ける毎にラッチして桁信号として出力する31ビットのラッチ回路34によって構成されている。

【0056】各フリップフロップ33₁～33₃₁は、2進カウンタ23の32ビットの計数出力のうち、第1ビットを除く第2ビットから第32ビットまでの各計数出力をクロック端子にそれぞれ受け、2進カウンタ23が計数している間にその計数出力が0から1に歩進すると1のデータをラッチする。

【0057】例えば、2進カウンタ23の計数出力が[0000...0000]から[00...0100101]まで変化した場合、1番目から5番目までのフリップフロップ33₁～33₅の出力がすべて1となり、ラッチ回路34からは[00...0011111]の桁信号が出力される。なお、各フリップフロップ33₁～33₃₁はタイミングコントローラ25からのリセット書込信号RWを受けて出力を0にリセットする。

【0058】指数部変換回路35および仮数部選択回路37は、計数値ラッチ回路31でラッチされた計数結果nと桁位置検出回路32から出力される桁信号とに基づいて、5ビットの指数部と3ビットの仮数部とをそれぞれ出力するために、2分木マルチプレクサを用いてい

【0059】ここで、2分木マルチプレクサについて簡単に説明する。図3は8:1の2分木マルチプレクサを示したもので、1回路2接点型の7つのスイッチ $SW_1 \sim SW_7$ を用い、第1のスイッチ SW_1 の2つの接点と第2、第3のスイッチ SW_2 、 SW_3 を接続し、第2のスイッチ SW_2 の2つの接点に第4、第5の SW_4 、 SW_5 を接続し、第3のスイッチ SW_3 の2つの接点に第6、第7の SW_6 、 SW_7 を接続し、7ビットの選択信号 $S_1 \sim S_7$ によって、8つの入力ポート $P_i(0) \sim P_i(7)$ のいずれか一つを出力ポート P_o に接続する選択回路である。

【0060】そして、全てのスイッチ $SW_1 \sim SW_7$ は、0の選択信号を受けると右側の接点に接続され、1の選択信号を受けると左側の設定に接続され、且つ、7ビットの選択信号 $S_1 \sim S_7$ を図3に示しているように、右側から左側のスイッチへ順番に与えるように設定されている。

【0061】このように構成された2分木マルチプレクサでは、図4の(a)のように、 S_1 側を下位ビットとする7ビットの選択信号 $[S_7, S_6, \dots, S_2, S_1]$ が $[**0*00]$ であれば、右端の第1番目の入力ポート $P_i(0)$ のデータが選択出力される。また、選択信号 $[S_7, S_6, \dots, S_2, S_1]$ が $[**0*01]$ であれば、第2番目の入力ポート $P_i(1)$ のデータが選択出力される。なお、*マークは0または1のうちの任意の数である。

【0062】以下同様に、選択信号が $[**001*]$ であれば第3番目の入力ポート $P_i(2)$ のデータが選択出力され、選択信号が $[**011*]$ であれば第4番目の入力ポート $P_i(3)$ のデータが選択出力され、選択信号が $[*001***]$ であれば第5番目の入力ポート $P_i(4)$ のデータが選択出力され、選択信号が $[*011***]$ であれば第6番目の入力ポート $P_i(5)$ のデータが選択出力され、選択信号が $[01*1***]$ であれば第7番目の入力ポート $P_i(6)$ のデータが選択出力され、選択信号が $[11*1***]$ であれば第8番目の入力ポート $P_i(7)$ のデータが選択出力される。

【0063】ここで、上記したように、*マークは0または1のうちの任意の数であるから、選択信号のうち、ビットデータが1である最上位の桁より上位にある*をすべて0、ビットデータが1である最上位の桁より下位にある*をすべて1とすれば、図4の(a)は図4の(b)のように表せる。

【0064】図4の(b)は、 $[000\dots000]$ を含み最下位桁から1が連続するように変化する8種類の7ビットの選択信号によって、8つの入力ポートを一つずつ選択できることを示している。

【0065】図3、図4は8:1の2分木マルチプレクサの場合であるが、32:1の2分木マルチプレクサの

場合には、スイッチを31個にして、32個の入力ポートのいずれかを31ビットの選択信号すればよい。

【0066】回路は図示しないが、32:1の2分木マルチプレクサを用いた場合、図5に示すように、 $[000\dots000]$ を含み最下位桁から1が連続するように変化する32種類の31ビットの選択信号 $S_1 \sim S_{31}$ によって、32個の入力ポート $P_i(0) \sim P_i(31)$ を一つずつ選択できる。

【0067】したがって、図6に示すように、指数部変換回路35を5つの32:1の2分木マルチプレクサ36a~36eで構成し、桁位置検出回路32から出力される31ビットの桁信号を選択信号 $S_1 \sim S_{31}$ として入力すれば、その32種類の選択信号に対して32種類の5ビットの信号を出力することができる。

【0068】そして、図6に示しているように、2分木マルチプレクサ36aの奇数番目の入力ポートには0、偶数番目の入力ポートには1をプリセットする。また、aを0~7までの数として、2分木マルチプレクサ36bの4a+1番目と4a+2番目の入力ポートには0、4a+3番目と5a番目の入力ポートには1をプリセットし、2分木マルチプレクサ36cの8a+1番目から8a+4番目までの入力ポートには0、8a+5番目から9a番目の入力ポートには1をプリセットし、2分木マルチプレクサ36dの16a+1番目から8a+8番目までの入力ポートには0、16a+9番目から17a番目の入力ポートには1をプリセットし、2分木マルチプレクサ36eの1番目から16番目までの入力ポートには0、17番目から32番目の入力ポートには1をプリセットする。

【0069】このように各2分木マルチプレクサの入力ポートをプリセットすることによって、図7に示すように、5つの2分木マルチプレクサ36a~36eから出力される5ビットの信号 $[B_4, B_3, B_2, B_1, B_0]$ が、計数結果nの指数部Bを示すことになり、計数結果nに対応した5ビットの指数部Bを変換出力することができる。

【0070】一方、仮数部選択回路37は、計数結果nのうち、計数中に歩進した最上位の桁に続く下位3ビットを選択するために、図8に示すように、マトリクス回路38と3つの32:1の2分木マルチプレクサ39a、39b、39cによって構成されている。

【0071】マトリクス回路38は、計数値ラッチ回路31でラッチされた32ビットの計数結果nに対してビット位置をずらした3種類のシフト信号Fa、Fb、Fcを2分木マルチプレクサ39a、39b、39cの入力ポートにそれぞれ出力する。

【0072】即ち、計数結果nの第1ビット目から第29ビット目までのデータに $[000]$ の3ビットを下位に加えた第1のシフト信号Faを2分木マルチプレクサ39aに入力し、計数結果nの第1ビット目から第30

ビット目までのデータに〔00〕の2ビットを下位に加えた第2のシフト信号Fbを2分木マルチプレクサ39bに入力し、計数結果nの第1ビット目から第31ビット目までのデータに〔0〕の1ビットを下位に加えた第3のシフト信号Fcを2分木マルチプレクサ39bに入力する。

【0073】また、2分木マルチプレクサ39a、39b、39cには、シフト信号Fa～Fcとともに、桁位置検出回路32からの31ビットの選択信号S1～S31が入力されている。

【0074】したがって、図9に示しているように、計数結果nに対して2分木マルチプレクサ39cの選択出力M₂は、計数結果nのうち計数中に歩進した最上位の桁より常に1桁下位のデータとなり、2分木マルチプレクサ39bの選択出力M₁は、計数結果nのうち計数中に歩進した最上位の桁より常に2桁下位のデータとなり、2分木マルチプレクサ39aの選択出力M₀は、計数結果nのうち計数中に歩進した最上位の桁より常に3桁下位のデータとなる。

【0075】よって、3つの2分木マルチプレクサ39a、39b、39cの出力からなる3ビットデータ〔M₂、M₁、M₀〕は、計数結果nのうち計数中に歩進した最上位の桁に続く下位3ビットの仮数部Mとなる。

【0076】このように、この実施形態では、固定小数点形式の計数出力を浮動小数点形式に変換するために、演算処理を行わずに、複数のスイッチからなる2分木マルチプレクサを用いることによって指数部の変換と仮数部の選択を行なっているため極めて高速な形式変換ができ、測定可能な最小時間幅を短くすることができ、瞬間的に発生する短い幅のパルスやパルス間隔を見逃すことなく測定できる。

【0077】このようにして得られた5ビットの指数部Bと3ビットの仮数部Mは、8ビットのアドレス信号としてメモリ26のアドレスを指定する。なお、指数部の5ビットと仮数部の3ビットをどのように桁組するかは任意である。例えば、指数部5ビットをアドレス信号の上位側とし仮数部3ビットを下位側にしたり、逆に指数部5ビットをアドレス信号の下位側とし仮数部3ビットを上位側にしてもよく、指数部の5ビットの間に仮数部の3ビットを挿入するようにして8ビットのアドレス信号にしてもよい。

【0078】また、計数結果nの変化に対してアドレス信号の変化は直線的にはならないが、各計数結果nに対してアドレス信号は一意的に決まるので、このアドレス信号で指定されたアドレスのデータを0から順次増加していくことで、測定した時間幅の頻度を検出することができる。

【0079】このようにして、所定の測定時間中にメモリ26に記憶された頻度データは、前記したように、頻度データ処理手段28によって読み出されて表示装置2

9の座標画面上に表示されるが、メモリ26に対する8ビットの読出アドレスは、2進カウンタ23の計数結果（パルス幅）を直接表していないので、頻度データ処理手段28は、この読出アドレスから（パルス幅）を算出する必要がある。

【0080】即ち、8ビットの読出アドレスのうち、5ビットの指数部Bと3ビットの仮数部Mに対して、計数結果nを有効桁4ビットで表したときの値mは、前記したように、

$$m = [1 + (M/8)] \times 2^B$$

であるから、この式に5ビットの指数部Bと、3ビットの仮数部Mを代入して得られた値mがパルス幅である。頻度データ処理手段28は、この演算によってメモリ26のアドレスに対応するパルス幅を求めて、頻度データを時間幅軸上に表示させる。

【0081】なお、この実施形態の時間幅分布測定装置20のように、固定小数点形式の計数出力を浮動小数点形式に変換した場合、計数結果（時間幅）が小さいときには分解能が高く、計数結果が大きくなるにつれて分解能を下げるようにしているため、実質的な精度の低下はなく、前記したように、少ないメモリ容量で、広い時間幅の測定と、短い時間幅の高精度な測定とを可能にしている。

【0082】また、前記実施形態では、2進カウンタ23から固定小数点形式で出力される計数結果を、2分木マルチプレクサを用いて浮動小数点形式に変換していたが、これは本発明を限定するものではなく、CPU等を用いて指数部および仮数部を算出してもよい。

【0083】また、前記したように、測定対象のアナログ信号Sをアナログコンバータによってしきい値と比較し、そのアナログコンバータの出力で2進カウンタの計数を制御してもよい。

【0084】また、前記実施形態の頻度更新回路27は、メモリ26の頻度データを1ずつ増加更新していたが、これは本発明を限定するものでなく、同一アドレスの指定頻度を求めることができるデータであれば、メモリ26に記憶するデータは頻度そのものを表さない値であってもよい。

【0085】また、前記実施形態では、32ビットの計数結果を5ビットの指数部と3ビットの仮数部の浮動小数点形式に変換していたが、これは本発明を限定するものでなく、例えば計数結果32ビットでメモリ26のアドレスが16ビットであれば、仮数部を11ビットにする。また、計数結果が64ビットでメモリ26のアドレスが16ビットの場合には、指数部を6ビット、仮数部を10ビットにすればよい。

【0086】

【発明の効果】以上説明したように、本発明の時間幅分布測定装置は、2進カウンタの計数結果を浮動小数点形式に変換し、この変換した信号でメモリのアドレスを指

定するようにしているため、少ないメモリ容量で、短い時間幅から広い時間幅まで測定を実施的な精度を低下させることなく行なうことができる。

【図面の簡単な説明】

【図 1】本発明の実施形態の構成を示すブロック図

【図2】実施形態の桁位置検出回路の構成を示すブロック図

【図3】 8 : 1 の2分木マルチブレクサの一例を示す図

【図4】8：1の2分木マルチプレクサの動作を説明するための図

【図5】32:1の2分木マルチプレクサの動作を説明するための図

【図6】実施形態の指数部変換回路の構成を示すブロック図

【図 7】実施形態の指数部変換回路の動作を説明するための図

【図 8】実施形態の仮数部選択回路の構成を示すブロック図

【図9】実施形態の仮数部選択回路の動作を説明するための図

【図 10】従来装置の構成を示すブロック図

【図 1 1】従来装置の動作を説明するためのタイミング＊

* 函

【符号の説明】

20 時間幅分布測定装置

2.1 A/D变换器

22 デジタルコンバータ

23 2進カウンタ

24 クロック信号発生器

25 タイミングコントローラ

26 メモリ

10 27 頻度更新回路

28 頻度データ処理手段

29 表示装置

30 浮動小数点化回路

3 1 計数值ラッチ回路

3 2 桁位置検出回路

3 3₁ ~ 3 3_{3,1} フリップフロップ

34 ラッチ回路

3.5 指数部变换回路

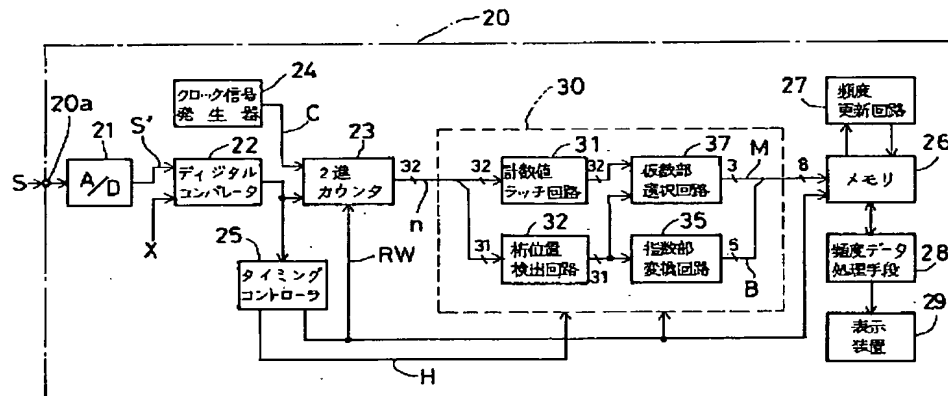
36 a ~ 36 e 2分木マルチプレクサ

3 7 假数部選択回路

38 マトリクス回路

39 a ~ 39 c 2分木マルチブレクサ

【図 1】



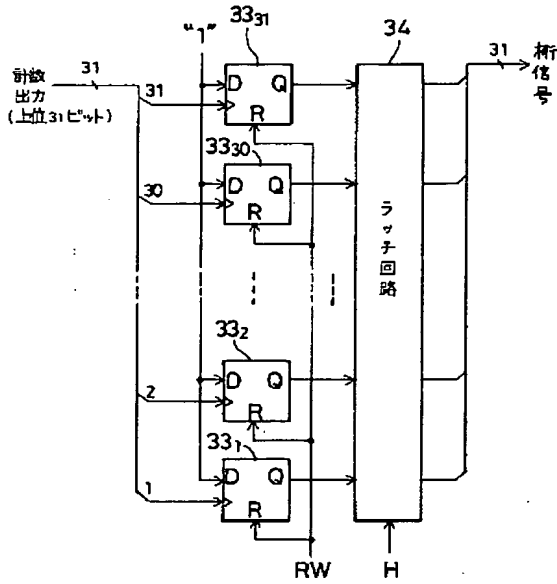
【図 4】

(a)

(b)

入力ポート	選択信号 S7, S6, -----, S2, S1
Pi(0)	*** 0 * 0 0
Pi(1)	*** 0 * 0 1
Pi(2)	*** 0 0 1 *
Pi(3)	*** 0 0 1 1 *
Pi(4)	* 0 0 1 ***
Pi(5)	* 0 1 1 ***
Pi(6)	0 1 * 1 ***
Pi(7)	1 1 * 1 ***

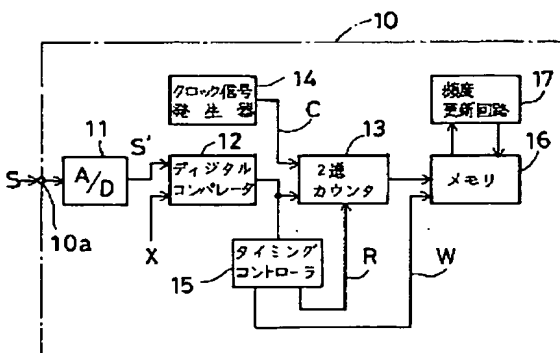
【図2】



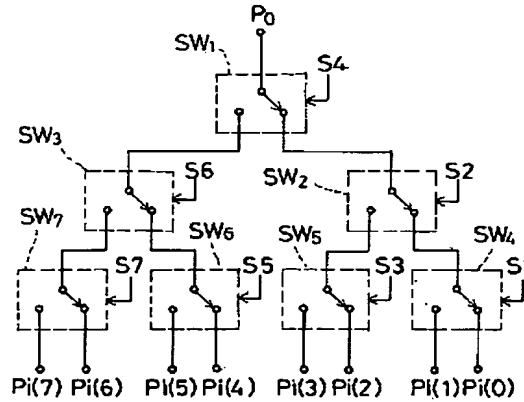
【図5】

入力ポート	選択信号 S31, S30, ..., S2, S1
Pi(0)	0 0 0 0 --- 0 0 0 0 0 0 0 1
Pi(1)	0 0 0 0 --- 0 0 0 0 0 0 1 1
Pi(2)	0 0 0 0 --- 0 0 0 0 0 1 1 1
Pi(3)	0 0 0 0 --- 0 0 0 0 1 1 1 1
Pi(4)	0 0 0 0 --- 0 0 0 1 1 1 1 1
Pi(5)	0 0 0 0 --- 0 0 1 1 1 1 1 1
Pi(6)	0 0 0 0 --- 0 1 1 1 1 1 1 1
⋮	⋮
Pi(30)	0 1 1 1 --- 1 1 1 1 1 1 1 1
Pi(31)	1 1 1 1 --- 1 1 1 1 1 1 1 1

【図10】



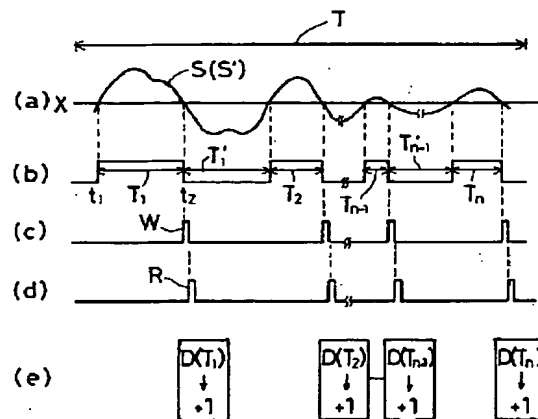
【図3】



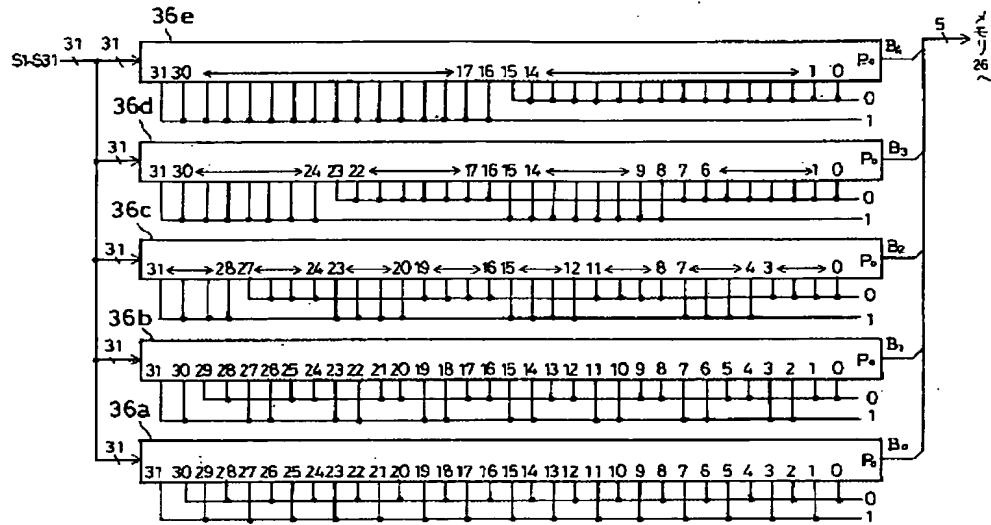
【図7】

計数結果n(32ビット)	選択信号(31ビット) S7 ~ S1	B4	B3	B2	B1	B0
1	000 --- 00001	0	0	0	0	0
2	000 --- 00010	0	0	0	0	1
3	000 --- 00011	0	0	0	0	1
4	000 --- 00100	0	0	0	1	0
5	000 --- 00101	0	0	0	1	0
6	000 --- 00110	0	0	0	1	0
7	000 --- 00111	0	0	0	1	0
8	000 --- 01000	0	0	0	1	1
⋮	⋮	⋮	⋮	⋮	⋮	⋮
2^3-3	111 --- 11101	1	1	1	1	1
2^3-2	111 --- 11110	1	1	1	1	1
2^3-1	111 --- 11111	1	1	1	1	1

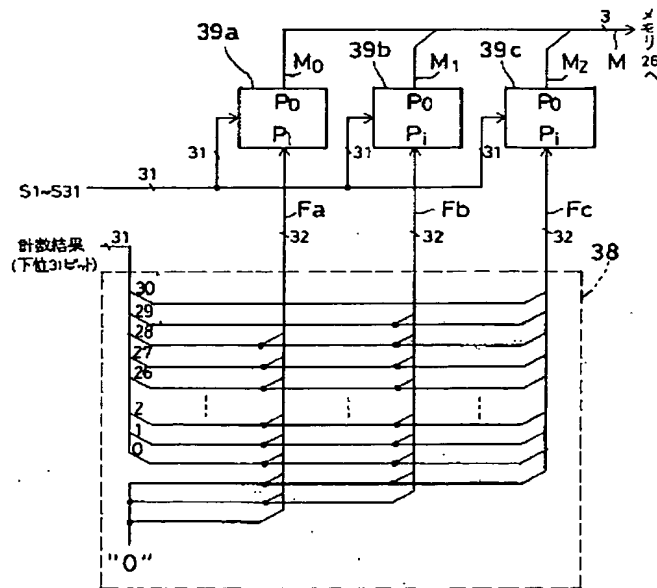
【図11】



【図6】



【図8】



【図9】

計数結果n(32ビット)		選択信号(31ビット) S31~S1	シフト信号Fc (32ビット)	固定	M2	シフト信号Fb (32ビット)	固定	M1	シフト信号Fa (32ビット)	固定	M0
1	000 --- 0 0001	000 --- 0 000 0	00 --- 0 00001	0	0	00 --- 0 0001	00	0	00 --- 0 001	000	0
2	000 --- 0 0010	000 --- 0 00 1	00 --- 00 0010	0	0	00 --- 0 0010	00	0	00 --- 001 0	000	0
3	000 --- 0 0011	000 --- 0 00 1	00 --- 00 0011	0	1	00 --- 0 0011	00	0	00 --- 0 011	000	0
4	000 --- 0 0100	000 --- 0 01 1	00 --- 00 0100	0	0	00 --- 00 0100	00	0	00 --- 01 00	000	0
5	000 --- 0 0101	000 --- 0 01 1	00 --- 00 0101	0	0	00 --- 00 0101	00	1	00 --- 01 01	000	0
6	000 --- 0 0110	000 --- 0 01 1	00 --- 00 0110	0	1	00 --- 0 0110	00	0	00 --- 01 10	000	0
7	000 --- 0 0111	000 --- 0 01 1	00 --- 00 0111	0	1	00 --- 0 0111	00	1	00 --- 01 11	000	0
8	000 --- 0 1000	000 --- 0 11 1	00 --- 00 1000	0	0	00 --- 01 0000	00	0	00 --- 10 00	000	0
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
2 ³² -3	111 --- 11101	111 --- 111 1	11 --- 11 1101	0	1	11 --- 11 1101	00	1	11 --- 11 01	000	1
2 ³² -2	111 --- 11110	111 --- 111 1	11 --- 11 1110	0	1	11 --- 11 1110	00	1	11 --- 11 10	000	1
2 ³² -1	111 --- 11111	111 --- 111 1	11 --- 11 1111	0	1	11 --- 11 1111	00	1	11 --- 11 11	000	1

フロントページの続き

(72)発明者 篠塚 隆
宮城県仙台市青葉区南吉成6丁目6番地の
3 株式会社環境電磁技術研究所内

(72)発明者 黒田 政廣
東京都港区南麻布五丁目10番27号 アンリ
ツ株式会社内